



N

PAT-NO: JP409055351A  
DOCUMENT-IDENTIFIER: JP 09055351 A  
TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE  
PUBN-DATE: February 25, 1997

INVENTOR-INFORMATION:  
NAME  
NAGAOKA, KOJIRO

ASSIGNEE-INFORMATION:  
NAME COUNTRY  
SONY CORP N/A

APPL-NO: JP07208039  
APPL-DATE: August 15, 1995

INT-CL (IPC): H01L021/027, G03F007/40 , H01L021/3065 , H01L021/318

ABSTRACT:

PROBLEM TO BE SOLVED: To provide the manufacturing method of a semiconductor device, in which a change with the passage of time of an anti-reflection film is prevented and in which a fine pattern as a good pattern can be formed.

SOLUTION: An antireflection film 26 which is constituted of an oxynitride silicon (SiON) film or the like is formed on an underlying substrate 20 directly or via other layers. After the antireflection film has been formed, a plasma treatment by NH<sub>3</sub>, N<sub>2</sub>O, O<sub>2</sub>, N<sub>2</sub> or the like is executed in order to stabilize the surface of the antireflection film, and the film is stabilized. After that, a photoresist 30 is formed on the antireflection film 26 directly or via other layers, an exposure

operation is  
performed to the photoresist, and a mask pattern 32 is transferred.

COPYRIGHT: (C)1997,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-55351

(43) 公開日 平成9年(1997)2月25日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/027			H 0 1 L 21/30	5 7 4
G 0 3 F 7/40			G 0 3 F 7/40	
H 0 1 L 21/3065			H 0 1 L 21/318	C
21/318			21/302	N

審査請求 未請求 請求項の数6 O L (全 8 頁)

(21) 出願番号 特願平7-208039

(22) 出願日 平成7年(1995)8月15日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 長岡 弘二郎

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

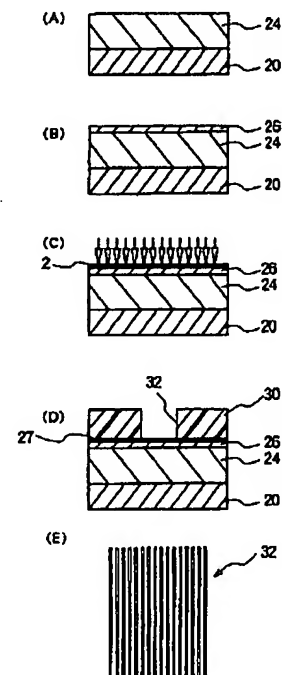
(74) 代理人 弁理士 佐藤 隆久

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 反射防止膜の経時変化を防ぎ、良好なパターンで微細パターンを形成することができる半導体装置の製造方法を提供すること。

【解決手段】 下地基板20上に、直接またはその他の層を介して、酸化シリコン膜(SiON)などで構成される反射防止膜26を成膜する。反射防止膜の成膜後、その反射防止膜の表面を安定化させるために、NH<sub>3</sub>、N<sub>2</sub>O、O<sub>2</sub>、N<sub>2</sub>などのプラズマ処理を行い、膜の安定化を図る。その後、反射防止膜26の上に、直接またはその他の層を介してフォトリソスト30を形成し、フォトリソストに露光を行い、マスクパターン32を転写する。



## 【特許請求の範囲】

【請求項1】 下地基板に、直接またはその他の層を介して、反射防止膜を成膜する成膜工程と、前記反射防止膜の成膜後、その反射防止膜の表面を安定化させる安定化工程と、

前記反射防止膜の上に、直接またはその他の層を介してフォトレジストを形成するレジスト工程と、

前記フォトレジストに露光を行い、マスクパターンを転写する転写工程とを有する半導体装置の製造方法。

【請求項2】 前記反射防止膜が、酸化シリコン系膜である請求項1に記載の半導体装置の製造方法。

【請求項3】 前記安定化工程では、 $N_2$  プラズマ処理を行うことを特徴とする請求項1または2に記載の半導体装置の製造方法。

【請求項4】 前記安定化工程では、 $NH_3$  プラズマ処理を行うことを特徴とする請求項1または2に記載の半導体装置の製造方法。

【請求項5】 前記安定化工程では、 $N_2 O$  プラズマ処理を行うことを特徴とする請求項1または2に記載の半導体装置の製造方法。

【請求項6】 前記安定化工程では、 $O_2$  プラズマ処理を行うことを特徴とする請求項1または2に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、例えば半導体デバイスの製造工程に適用される配線形成方法およびこれを用いて好適に製造される半導体装置に関し、特に成膜過程で所定のプラズマ処理、熱処理を行うことにより反射防止膜の経時変化を抑制し、これにより半導体装置の信頼性向上を図ることができる半導体装置の製造方法に関する。

## 【0002】

【従来の技術】半導体デバイスの高集積化が加速度的に進行するに伴い、その最小加工寸法も急速に縮小されている。たとえば、現状で量産ラインに移行されている16MDRAMの最小加工法は $0.5\mu m$ であるが、次世代の64MDRAMでは $0.35\mu m$ 以下、次々世代の256MDRAMでは $0.25\mu m$ 以下に縮小されるとみられている。 $0.35\mu m \sim 0.25\mu m$ （ディープ・サブミクロン）クラスの微細加工では、フォトリソグラフィの光源としてKrFエキシマ・レーザ光（波長248nm）等の遠紫外光源が必要となる。

【0003】ただし、エキシマ・レーザ光のように、単色性の極めて高い光源を用いた場合には、従来のg線露光やi線露光にも増して定在波効果が顕著に現れることが知られている。定在波効果は、レジスト膜内の多重反射光同士による干渉、もしくはこれにレジスト膜の膜厚方向に光強度分布が生じたり、あるいはレジスト膜厚に依存した吸収光量の変化、すなわち実質的な感度の変動

が生ずる。これらは、それぞれ現像後のレジスト・パターンの側壁面における波状凹凸の形成や、ウェハの表面段差の上下におけるパターン寸法の変動等をもたらす。 $0.35\mu m$ のデザイン・ルール下では、この寸法変動を $\pm 5\%$ 以内に抑えることが必要であり、このためにはレジスト膜内における吸収光量の変動をおおよそ $\pm 3\%$ 以内に抑えることが求められる。

【0004】この要求を満たすためには、レジスト膜の下地材料膜による反射を抑制し、レジスト膜内の多重反射光を低減しなければならない。かかる背景から、エキシマ・レーザ・リソグラフィ以降の微細加工においては反射防止膜の利用がほぼ必須とされる。反射防止膜は、下地材料膜とレジスト膜との間に介在される場合に最も優れた定在波抑制効果を示し、同時にハレーション防止にも効果を発揮する。

【0005】近年、この反射防止膜の構成材料として、酸化シリコン（ $SiO_2$ ）、窒化シリコン（ $SiN$ ）、酸化シリコン（ $SiON$ ）等のシリコン化合物が注目を集めている。これは、これらのシリコン化合物がエキシマ・レーザ・リソグラフィの波長域である遠紫外領域において、良好な光学定数 $n, k$ （ただし、 $n$ は複素振幅反射率 $R$ の実数部、 $k$ は同じく虚数部係数を表す）を有するからである。特に、 $SiON$ は、たとえばSPIE第1927巻、オプティカル/レーザ・マイクロリソグラフィVI（SPIE Vol. 1927, Optical/Laser Microlithography VI）、（1993）p. 263～274にも報告されているように、プラズマCVDによる成膜時の条件を変化させることにより、広い範囲で光学定数 $n, k$ を変化させることが可能であり、下地材料膜の種類に応じた反射防止条件の設定の自由度が大きいといったメリットを有する。

## 【0006】

【発明が解決しようとする課題】しかし、たとえば図1（A）、（B）に示すように、下地配線層4が形成されたシリコン基板2の表面に、反射防止膜6として酸化シリコン（ $SiON$ ）膜を用いた場合、成膜後、膜の表面に酸化層8が形成され、光学定数 $n, k$ の経時変化が発生する。

【0007】そのため、その後の工程で、図1（C）に示すように、フォトレジスト10を成膜し、露光を行い所定のパターン12を形成する際に、図1（D）に示すように、現像後のレジスト・パターンの側壁面における波状凹凸の形成や、ウェハの表面段差の上下におけるパターン寸法の変動等をもたらす、反射防止膜としての機能を果たせなくなってしまう。

【0008】本発明は、このような実状に鑑みて成され、反射防止膜の経時変化を防ぎ、良好なパターンで微細パターンを形成することができる半導体装置の製造方法を提供することを目的とする。

## 【0009】

【課題を解決するための手段】本発明は、上述の課題を

解決するため、酸化シリコン系(SiON)膜などの反射防止膜の表面を安定化させることに着眼し、本発明を完成するに至った。さらに、本発明者は、通常用いている平行平板型CVD装置を使用することで、酸化シリコン系(SiON)膜などの反射防止膜の表面を安定化させるプロセスは十分に実施可能であるとの知見を得た。

【0010】すなわち、本発明に係る半導体装置の製造方法は、下地基板に、直接またはその他の層を介して、反射防止膜を成膜する成膜工程と、前記反射防止膜の成膜後、その反射防止膜の表面を安定化させる安定化工程と、前記反射防止膜の上に、直接またはその他の層を介してフォトリソを形成するレジスト工程と、前記フォトリソに露光を行い、マスクパターンを転写する転写工程とを有する。

【0011】前記反射防止膜は、たとえば酸化シリコン系膜である。前記安定化工程では、N<sub>2</sub> プラズマ処理を行うことが好ましい。また、前記安定化工程では、N<sub>2</sub> H<sub>3</sub> プラズマ処理を行っても良い。さらに、前記安定化工程では、N<sub>2</sub> Oプラズマ処理を行っても良い。

【0012】さらにまた、前記安定化工程では、O<sub>2</sub> プラズマ処理を行っても良い。

【0013】

【発明の実施の形態】以下、本発明に係る半導体装置の製造方法を、図面に示す実施例に基づき、詳細に説明する。

#### 実施例1

この実施例は、半導体集積回路製造の際に、シリコン半導体ウェーハ上にエキシマ・レーザ・リソグラフィの微細加工を用いる際に、その反射防止膜として窒化シリコン(SiON)膜を形成する場合に、本発明を適用したものである。

【0014】まず、図2(A)に示すように、シリコン等からなる半導体基板30上に、配線層24を成膜する。配線層24は、例えばAl-1%Siで構成しており、スパッタ法により、以下の条件で成膜される。

【0015】

【表1】

ガス Ar=100sccm

圧力 0.4Pa

DC電力 5kW

基板加熱温度 150°C

ついで、図2(B)に示すように、配線層24の上に、反射防止膜26を成膜する。反射防止膜26は、本実施例では、酸化シリコン(SiON: 水素を含有しても良い)膜で構成しており、たとえば以下の条件で成膜される。

【0016】

【表2】

ガス SiH<sub>4</sub> /N<sub>2</sub> O= 158/230sccm

圧力 330Pa

RF電力 190W

基板温度 400°C

この反射防止膜26の膜厚は、上記条件で得られる反射防止膜の光学定数n、kとの関係、下地基板の種類、フォトリソの種類および露光波長との関係により、定在波効果を最小にするように決定される。本実施例では、露光用光としてKrFエキシマ・レーザ光(波長248nm)を用い、下地基板としてAl-1%Siを用い、フォトリソとしてXP8843(シップレーマイクロエレクトロニクス(株)の化学増幅型レジスト; 光酸発生剤を含むポリビニルフェノール系レジスト)を用いている。定在波効果を最小にするためのシミュレーション計算により求めた反射防止膜の条件の一例を、図3に示す。図3に示すように、n=4.8、k=0.45、膜厚d=30nmの反射防止膜を成膜することで、定在波効果を最小にすることが確認されている。すなわち、図3に示すように、反射防止膜の膜厚d、光学定数n、kを選択することで、レジスト膜厚によらず、レジスト膜内吸光量の変動を抑制することができ、定在波効果を最小にすることができる。

【0017】このような光学定数を有する反射防止膜26は、前記表2の条件により容易に成膜することができる。次に、本実施例では、反射防止膜26の成膜直後、図2(C)に示すように、平行平板型プラズマCVD装置を用いて連続処理にて、以下の条件で、NH<sub>3</sub>プラズマ処理を行い、酸化シリコン(SiON)膜の膜表面に窒化層27を形成することにより安定化させた。

【0018】

【表3】

ガス NH<sub>3</sub> =150sccm

圧力 330Pa

RF電力 400W

基板温度 400°C

図2(C)に示すような処理を行うことで、反射防止膜26の光学定数の経時変化が抑制され、図2(D)に示すように、その上にフォトリソ30を成膜し、露光を行い微細パターン32を形成する際に、図2(E)に示すように、良好な微細パターンの加工が可能となることが確認された。

#### 実施例2

前記実施例1におけるNH<sub>3</sub>プラズマ処理の代わりに、N<sub>2</sub>プラズマ処理を行い、酸化シリコン(SiON)膜から成る反射防止膜の膜表面を窒化させることにより安定化させた以外は、前記実施例1と同様にして微細パターンを形成した。

【0019】N<sub>2</sub>処理の条件を下記に示す。

【0020】

【表4】

ガス N<sub>2</sub> =500sccm

50 圧力 330Pa

RF電力 400W

基板温度 400° C

上記処理を行うことで、前記実施例1と同様に、図2 (E) に示すような良好な微細パターンの加工が可能となることが確認された。

#### 【0021】実施例3

前記実施例1におけるNH<sub>3</sub> プラズマ処理の代わりに、N<sub>2</sub>Oプラズマ処理を行い、酸化シリコン (SiON) 膜から成る反射防止膜の膜表面を窒化させることにより安定化させた以外は、前記実施例1と同様にして微細パターンを形成した。

【0022】N<sub>2</sub>O処理の条件を下記に示す。

【0023】

【表5】

ガス N<sub>2</sub>O=300sccm

圧力 330Pa

RF電力 400W

基板温度 400° C

上記処理を行うことで、前記実施例1と同様に、図2 (E) に示すような良好な微細パターンの加工が可能となることが確認された。実施例4 前記実施例1におけるNH<sub>3</sub> プラズマ処理の代わりに、O<sub>2</sub> プラズマ処理を行い、酸化シリコン (SiON) 膜から成る反射防止膜の膜表面を窒化させることにより安定化させた以外は、前記実施例1と同様にして微細パターンを形成した。

【0024】N<sub>2</sub>O処理の条件を下記に示す。

【0025】

【表6】

ガスO<sub>2</sub> = 500sccm

圧力 330Pa

RF電力 400W

基板温度 400° C

上記処理を行うことで、前記実施例1と同様に、図2 (E) に示すような良好な微細パターンの加工が可能となることが確認された。

#### 【0026】実施例5

前記実施例1における反射防止膜の光学定数がn=2.0、k=0.8となるように、しかもその膜厚d=30nmと成るように反射防止膜を成膜した以外は、前記実施例1と同様にして、微細パターンを形成した。

【0027】図4に示すように、この光学定数および膜厚の反射防止膜を成膜することで、定在波効果が最小になることが確認された。また、反射防止膜の安定化処理を行うことで、反射防止膜の光学定数の経時変化を抑制できることが確認された。

#### 実施例6

前記実施例1における反射防止膜の光学定数がn=2.08、k=0.85となるように、しかもその膜厚d=25nmと成るように反射防止膜を成膜した以外は、前記実施例1と同様にして、微細パターンを形成した。

【0028】本実施例では、反射防止膜は、SiO<sub>2</sub>N<sub>y</sub>膜で構成され、平行平板型プラズマCVD装置を用い、SiH<sub>4</sub>/N<sub>2</sub>Oの流量比が、0.83の条件で成膜した。図5に示すように、この光学定数および膜厚の反射防止膜を成膜することで、定在波効果が最小になることが確認された。また、反射防止膜の安定化処理を行うことで、反射防止膜の光学定数の経時変化を抑制できることが確認された。

#### 【0029】実施例7

前記実施例1における配線層24としてWSiを用い、KrFに代えてi線を用い、フォトリソ30としてナフキメンジアジド系フォトリソを用い、SiO<sub>2</sub>N<sub>y</sub>H<sub>z</sub> (水素を含む酸化シリコン系膜) から成る反射防止膜を、n=2.58、k=0.42に近づくように所定の流量比でプラズマCVD法により膜厚30nmで成膜し、0.44μmラインアンドスペース (L/S) パターンとなるように、露光を行い、反射防止効果を実測した。結果を図6中のwithARLで示す。なお、比較のために、反射防止膜を用いない以外は、同様にして、反射防止効果を実測した結果を、図6中のwithout ARLに示す。この図からも、反射防止膜の効果が理解されよう。

【0030】また、本実施例でも、反射防止膜の安定化処理を行うことで、反射防止膜の光学定数の経時変化を抑制できることが確認された。

#### 実施例8

前記実施例1における配線層24を形成することなく、シリコン基板の上に直接酸化シリコン系膜の反射防止膜を成膜し、反射防止膜を、n=2.0、k=0.55に近づくように所定の流量比でプラズマCVD法により膜厚32nmで成膜した以外は、前記実施例1と同様にして、微細パターンを形成した。

【0031】図7に示すように、この光学定数および膜厚の反射防止膜を成膜することで、定在波効果が最小になることが確認された。また、反射防止膜の安定化処理を行うことで、反射防止膜の光学定数の経時変化を抑制できることが確認された。

#### 実施例9

前記実施例1における配線層24を形成することなく、シリコン基板の上に直接酸化シリコン系膜の反射防止膜を成膜し、反射防止膜を、n=1.9、k=0.35に近づくように所定の流量比でプラズマCVD法により膜厚100nmで成膜した以外は、前記実施例1と同様にして、微細パターンを形成した。

【0032】図8に示すように、この光学定数および膜厚の反射防止膜を成膜することで、定在波効果が最小になることが確認された。また、反射防止膜の安定化処理を行うことで、反射防止膜の光学定数の経時変化を抑制できることが確認された。

#### 実施例10

前記実施例1における配線層24としてポリシリコン膜を用い、酸化シリコン系膜の反射防止膜を、 $n=2.01$ 、 $k=0.62$ に近づくように所定の流量比でプラズマCVD法により膜厚33nmで成膜した以外は、前記実施例1と同様にして、微細パターンを形成した。

【0033】図9に示すように、この光学定数および膜厚の反射防止膜を成膜することで、定在波効果が最小になることが確認された。また、反射防止膜の安定化処理を行うことで、反射防止膜の光学定数の経時変化を抑制できることが確認された。

#### 実施例11

前記実施例1における配線層24としてWSi膜を用い、酸化シリコン系膜の反射防止膜を、 $n=2.36$ 、 $k=0.53$ に近づくように所定の流量比でプラズマCVD法により膜厚23.8nmで成膜した以外は、前記実施例1と同様にして、微細パターンを形成した。

【0034】図10に示すように、この光学定数および膜厚の反射防止膜を成膜することで、定在波効果が最小になることが確認された。また、反射防止膜の安定化処理を行うことで、反射防止膜の光学定数の経時変化を抑制できることが確認された。なお、本発明は、上記実施例に限定されず、本発明の範囲内で種々に改変することができる。

【0035】たとえば、反射防止膜としては、酸化シリコン膜以外に、その他の反射防止膜であっても良い。ただし、酸化シリコン膜は、成膜後に光学定数が変化し易いことから、本発明の方法は特に有効である。

#### 【0036】

【発明の効果】以上説明してきたように、本発明によれば、酸化シリコン(SiO<sub>2</sub>)膜などで構成される反射防止膜の光学定数 $N$ 、 $k$ の経時変化を抑制し、反射防止膜として必要な光学定数 $n$ 、 $k$ を維持できる。

【0037】本発明によれば、現像後のレジスト・パターンの側壁面における波状凹凸の形成を抑制することができると共に、ウェハの表面段差の上下におけるパターン寸法の変動等を抑制することが可能である。

#### 【図面の簡単な説明】

【図1】図1(A)～(D)は従来例に係る半導体装置の製造過程を示す図である。

【図2】図2(A)～(E)は本発明の半導体装置の製造過程を示す図である。

10 【図3】図3は本発明の実施例に係る反射防止効果を示すグラフである。

【図4】図4は本発明の他の実施例に係る反射防止効果を示すグラフである。

【図5】図5は本発明の他の実施例に係る反射防止効果を示すグラフである。

【図6】図6は本発明の他の実施例に係る反射防止効果を示すグラフである。

【図7】図7は本発明の他の実施例に係る反射防止効果を示すグラフである。

20 【図8】図8は本発明の他の実施例に係る反射防止効果を示すグラフである。

【図9】図9は本発明の他の実施例に係る反射防止効果を示すグラフである。

【図10】図10は本発明の他の実施例に係る反射防止効果を示すグラフである。

#### 【符号の説明】

20… 半導体基板

24… 配線層

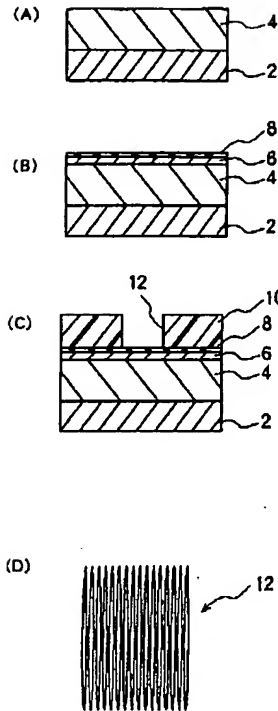
26… 反射防止膜

27… 窒化層

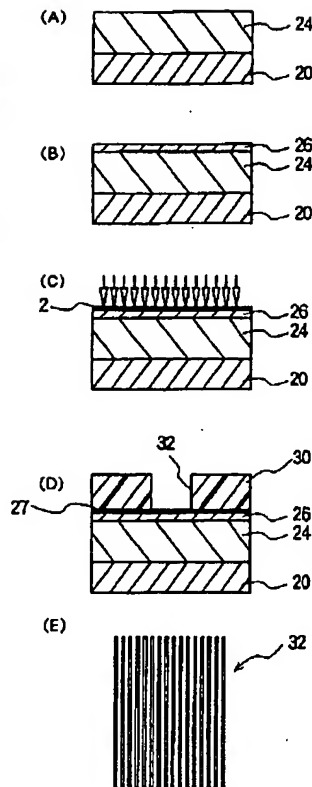
30… フォトリソ

32… 微細パターン

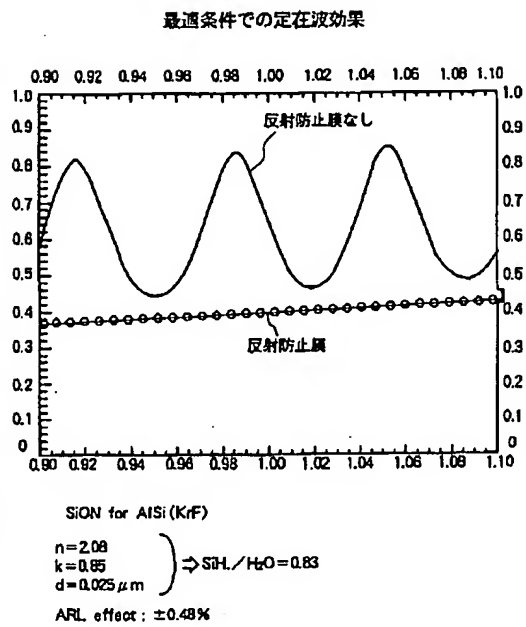
【図1】



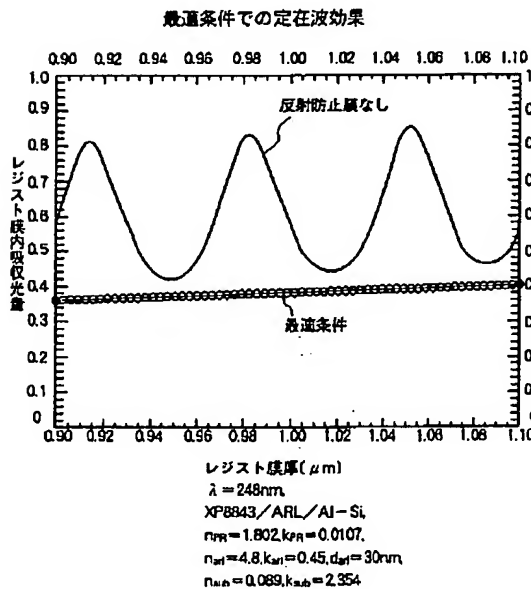
【図2】



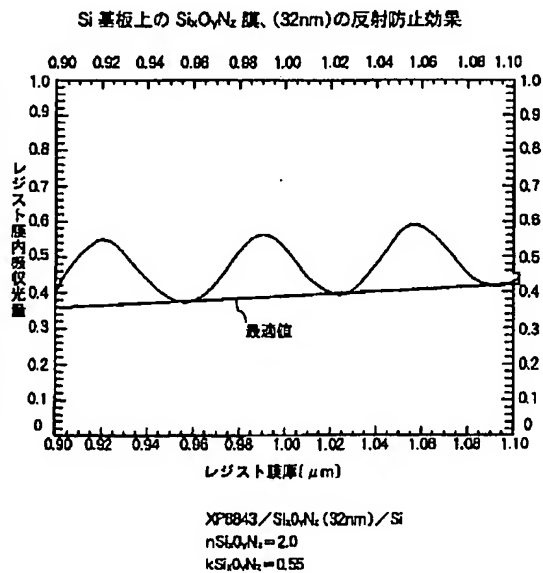
【図5】



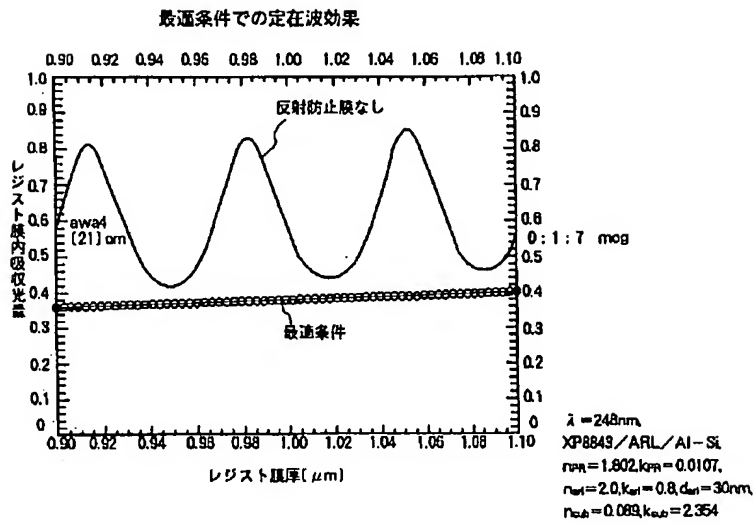
【図3】



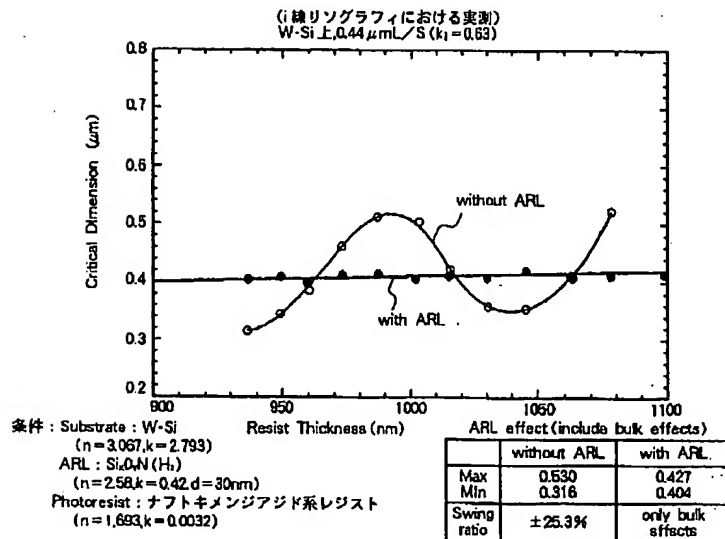
【図7】



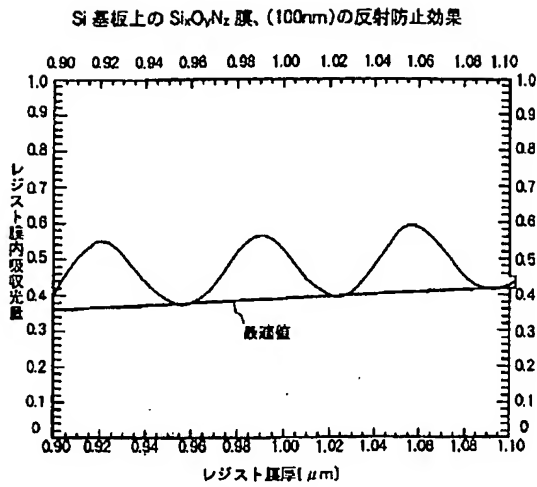
【図4】



【図6】

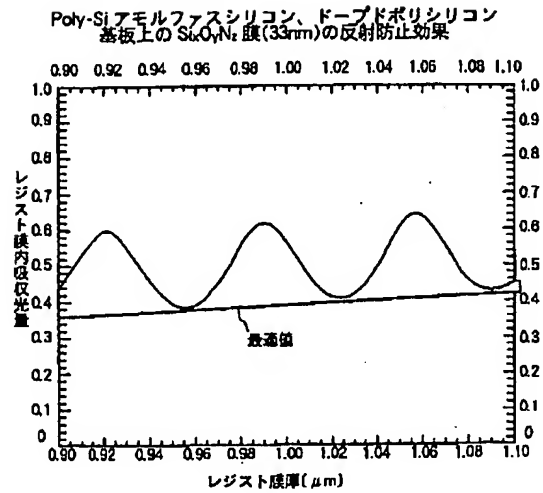


【図8】



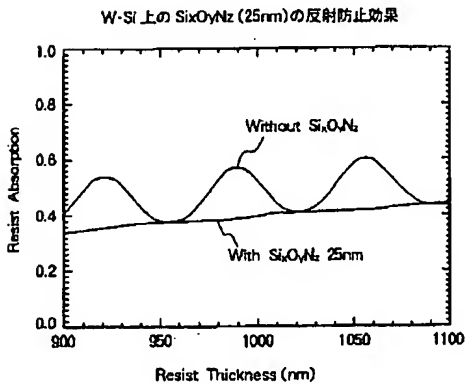
XP8843/ $\text{Si}_3\text{O}_4\text{N}_2$  (100nm)/Si  
 $n_{\text{air}} = 1.9$   
 $k_{\text{air}} = 0.35$

【図9】



XP8843/ $\text{Si}_3\text{O}_4\text{N}_2$  (33nm)/Poly-Si アモルファス-Si ドープドポリシリコン  
 $n_{\text{air}} = 1.801, k_{\text{air}} = 0.0107$   
 $n_{\text{air}} = 2.01, k_{\text{air}} = 0.62, d_{\text{air}} = 33\text{nm}$   
 $n_{\text{poly}} = 1.71, k_{\text{poly}} = 3.3$

【図10】



#### Condition

substrate : W-Si  
 $(n = 1.93, k = 2.73)$   
 ARL : optimized  $\text{Si}_3\text{O}_4\text{N}_2$   
 $(n = 2.36, k = 0.53, d = 23.8\text{nm})$   
 photoresist : XP8843  
 $(n = 1.80, k = 0.011)$

#### ARL effect

	Without $\text{Si}_3\text{O}_4\text{N}_2$	With $\text{Si}_3\text{O}_4\text{N}_2$
Max	0.60	0.425
Min	0.40	0.410
Swing ratio	$\pm 21\%$	$\pm 1.8\%$